

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-253331

⑬ Int. Cl.<sup>4</sup>  
H 04 B 3/04

識別記号 庁内整理番号  
C-6745-5K

⑭ 公開 昭和60年(1985)12月14日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 制御開始時の初期値設定方式

⑯ 特 願 昭59-109912

⑰ 出 願 昭59(1984)5月30日

⑱ 発 明 者	山 田 寛	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	青 木 耕 司	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 発 明 者	渡 辺 直 樹	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉒ 代 理 人	弁理士 松岡 宏四郎		

明 細 書

1. 発明の名称

制御開始時の初期値設定方式

2. 特許請求の範囲

回線歪を等化する自動等化器及び自動位相制御回路を持つモデムにおいて、該モデム内の歪を自局折返してあらかじめ等化して、その等化した値を初期設定値として記憶素子に記憶させておき、回線歪に対しては該初期設定値から該自動等化器及び自動位相制御回路の制御を開始するようにしたことを特徴とする制御開始時の初期値設定方式。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は回線歪を等化する自動等化器及び自動位相制御回路を持つモデムに於り、動作開始時モデム内の歪の影響をうけない制御開始時の初期値設定方式に関する。

(b) 技術的背景

アナログ伝送路を使用するデータ回線では、送信側のデータ信号をアナログに変換して伝送路へ

送出し、受信側ではその逆変換を行う為にモデムを用いる。又モデムは通常伝送路の回線歪を等化する自動等化器及び自動位相制御回路を持っている。

(c) 従来技術と問題点

回線歪を等化する自動等化器(以下AEQと称す)及び自動位相制御回路(以下APCと称す)を持つ従来例のモデム及び問題点に付き説明する。

第1図は従来例のモデムのブロック図である。

第1図において送信側は、直列に送られてくるデータを符号化回路1にて多値符号に変換し、デジタル・アナログ変換器(以下D/Aと称す)2にてアナログに変換し、低域通過滤波器(以下LPFと称す)3にてナイキスト整形を行ない、変調器(以下MODと称す)4にて変調し、帯域通過滤波器(以下BPFと称す)5にて不要波を除去し伝送路に送出する。

受信側では伝送路より送られてきたアナログ信号の不要波をBPF6にて取除いた信号の中から搬送波を位相同期回路(以下PLL回路と称す)

13にて抽出し、搬送波自動位相制御回路(以下CAPCと称す)14の移相回路17にて最適位相とし、復調器(以下DEMと称す)7に加え、DEM7にて復調し、不要波をLPF8にて取除き、アナログ・デジタル変換器(以下A/Dと称す)9にてデジタルに変換し、自動等化器(以下AEQと称す)10にて符号間干渉がないように波形整形を行ない識別回路11に入力する。

識別回路11では、入力した信号が多値信号の中心レベルより高いか低いかの極性信号及び目標とする等化波形を表す基準信号と比較した等化誤差なわち基準値に対する大小を示すエラー信号を、AEQ10の相關回路に入力すると共に、多値信号のレベルを識別し、復号化回路12にて多値信号を直列信号として出力する。

この場合LPF8の出力よりPLL15にてタイミングクロックを抽出し、タイミングクロック自動位相制御回路(以下TAPCと称す)16内の移相回路21にて最適位相としたタイミングクロックをAEQ10、識別回路11、復号化回路12に

グ位相のずれ、2つの搬送波位相のずれによる信号の相関をとり補正方向(正負)をアップダウンカウンタ23、19に与えアップダウンカウンタ23、19の出力を補正方向に変化させD/A22、18にて直流に変換し、タイミングクロック、搬送波を最適位相にするよう移相回路21、17の移相量を制御する。

アップダウンカウンタ19、23、27に初期値を与える方法につき、代表例としてアップダウンカウンタ19を例えば4ビットカウンタとし、第2図を用いて説明すると、4ビットの最大値"1, 1, 1, 1"最小値"0, 0, 0, 0"の中心値"1, 0, 0, 0"を固定ロード値とし、ダイナミックレンジの中心になるよう初期値を設定し、相關回路20よりの補正方向に従がいアップ又はダウンカウントを行わせ、アップ又はダウンした値をD/A18にて直列信号に変換して搬送波を最適位相にするよう移相回路17の移相量を制御する。

しかしモデムにはアナログ回路が含まれている為温度湿度の変化により伝送特性(振幅、遅延特

供給する。

AEQ10では、入力した信号をシフトレジスタ28に入力し各タップから得られた遅延信号をビット毎に時分割多重化した信号 $x_i$ は、演算器26にてアップダウンカウンタ27からの対応するタップ毎の係数 $y_i$ を乗算され乗算結果を全シフトレジスタ25のタップにわたり累算されて波形等化された信号を得る。

一方相關回路28では識別回路11から極性信号及びエラー信号が入力されており、タップ毎に両者の相関をとり、タップ毎の等化の補正方向(正負)をアップダウンカウンタ27に与えタップ毎に設定された重み量だけ等化補正係数 $y_i$ を修正すると共に、パルスの両側のサンプリング点のタイミングの位相のずれによる最適値からのレベルのずれ(正負)及び搬送波位相のずれによる最適値からのレベルのずれ(正負)をTAPC回路16の相關回路24、CAPC14の相關回路20に与える。

相關回路24、20では入力する2つのタイミン

性)が変化を受ける。

従ってモデムを動作させずに例えば低電圧の所に置いておいた場合、低電圧による伝送特性の変化(歪)が大きいと、モデムの電源をオンとし動作を開始した時に、この変化量(歪)と伝送路上の歪が重畳され大きな歪が急に発生し、識別回路11にて、目標とする等化波形を表す基準信号と比較し基準値に対する大小を求める場合、正負の方向の推定を間違えない範囲を越え制御不能になることがある。

即ち正負の方向を推定するのだけ、多値レベルを基準レベルとし、この基準レベルより多値レベルの間隔の1/2以内大きい場合は正とし、小さい場合は負としているが、多値レベルの間隔の1/2以上レベルがかわると、1レベル高いか低いかの多値レベルを基準として比較する範囲に入り、正負の方向の推定が逆となり、制御不能となる。

通常は歪の変化速度は遅いので以上のようなことは起こらないが、電源投入し動作開始した時は、モデムの歪が大きいと、大きな歪が急に発生する

のでこのような問題が発生する。

#### (d) 発明の目的

本発明の目的は上記の問題に際し、モデムの動作開始時、モデム内の伝送特性の変化に影響されずに、回線歪を等化出来る制御開始時の初期値設定方式の提供にある。

#### (e) 発明の構成

本発明の目的は、モデム内の歪を自局折返しであらかじめ等化して、その等化した値を初期設定値として記憶素子に記憶させておき、回線歪に対しては該初期設定値から自動等化及び自動位相制御回路の制御を開始するようにすることで達成出来る。

即ちこのように制御開始時初期値を設定すれば、モデム内の伝送特性の変化は既に等化されており、回線歪と重畳されることはなくなるので大きな歪が急に発生することなく回線歪を等化出来る。

#### (f) 発明の実施例

以下本発明の一実施例につき図に従って説明する。

化を行ない等化結果のアップダウンカウンタ19、23、27の値をRAM29~31に記憶させておく。

次にスイッチSW1、SW2を実施例としてモデムとしての動作を行なわす。この時の初期値としてはRAM29~31に記憶された値をアップダウンカウンタ19、23、27に与え、モデム内の歪を既に等化した値より回線歪を等化さすようにし、動作開始時大きな歪が急に発生しないようにする。

この自局折返し及びモデムとして動作する場合の初期値の与え方を、代表例としてアップダウンカウンタ19を例えば4ビットカウンタとして第4図を用いて説明すると、自局折返し時は、従来と同じくダイナミックレンジの中心値である"1, 0, 0, 0"を初期値として、モデム内の歪を等化し、等化後の値が例えば1, 1, 0, 0となればこの値をRAM29に記憶させておき、回線歪等化開始時は、この値を初期値としてアップダウンカウンタ19にロードして制御を開始するようにする。

従って回線歪等化開始時大きな歪が急に発生することなく回線歪を等化出来る。

第3図は本発明の実施例のモデムのブロック図、第4図はアップダウンカウンタに制御開始時の初期値を設定する一例のブロック図である。

図中第1図と同一機能のものは同一記号で示しており10'はAEQ、14'はCAPC、16'はTAPC、29~31はRAM SW1、SW2はスイッチを示す。

第3図で第1図と異なる点は自局折返しを可能とするようスイッチSW1、SW2を設けた点と、自局折返ししてモデム内の歪を等化する場合アップダウンカウンタ19、23、27に初期値を設定し、等化後のアップダウンカウンタ19、23、27の値を記憶するRAM29~31を設けた点である。

第3図の場合は、モデムにて回線歪を等化する前に温度湿度等で発生したモデム内の歪を等化する為に、スイッチSW1、SW2を点検側として自局折返しとする。

この場合アップダウンカウンタ19、23、27にはRAM29~31より従来と同じくダイナミックレンジの中心値の初期設定値を与えておき、等

#### (g) 発明の効果

以下詳細に説明せる如く本発明によればモデムの動作開始時、モデム内の歪が回線歪に重畳され急に大きな歪を等化することがなくなるので、回線歪を等化出来なくなる危険性を減少させる効果がある。

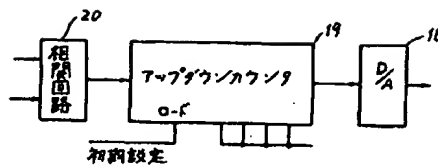
#### 4. 図面の簡単な説明

第1図は従来例のモデムのブロック図、第2図は第1図のアップダウンカウンタに初期値を設定する一例のブロック図、第3図は本発明の実施例のモデムのブロック図、第4図は第3図のアップダウンカウンタに制御開始時初期値を設定する一例のブロック図である。

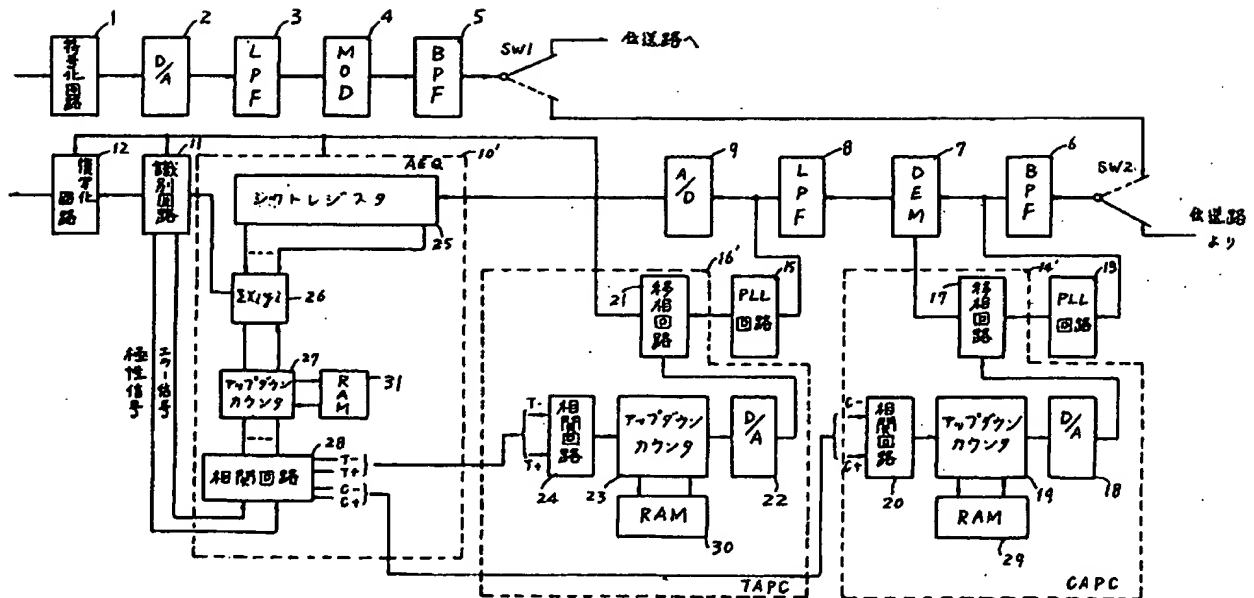
図中1は符号化回路、2、18、22はデジタル・アナログ変換器、3、8は低域通過フィルタ、4は変調器、5、6は帯域通過フィルタ、7は復調器、9はアナログ・デジタル変換器、10、10'は自動等化器、11は識別回路、12は復号化回路、13、15は位相同期回路、14、14'は搬送波自動位相制御回路、16、16'はタイミングクロック自動位相



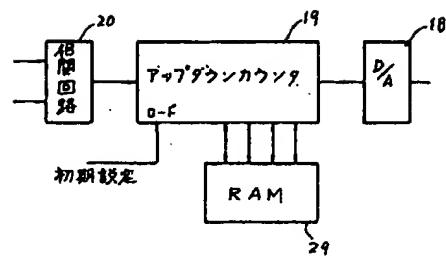
第 2 図



第 3 図



第 4 図





(19)

(11) Publication number: **60253331 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **59109912**(51) Intl. Cl.: **H04B 3/04**(22) Application date: **30.05.84**

(30) Priority:

(43) Date of  
application **14.12.85**  
publication:(84) Designated  
contracting states:(71) Applicant: **FUJITSU LTD**(72) Inventor: **YAMADA HIROSHI**  
**AOKI KOJI**  
**WATANABE NAOKI**

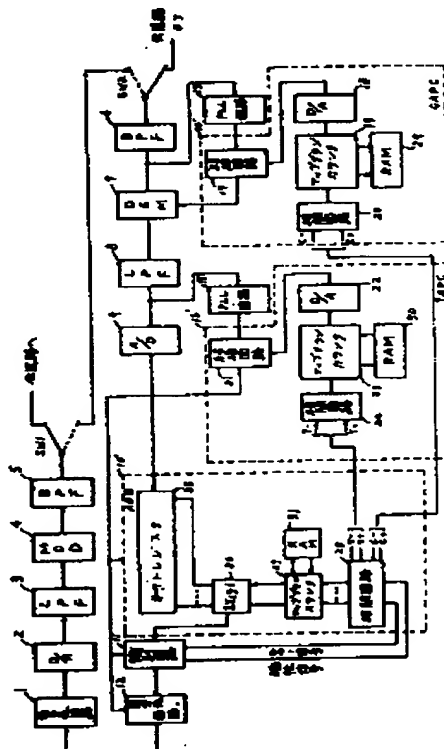
(74) Representative:

**(54) INITIAL VALUE  
SETTING SYSTEM IN  
CONTROL START  
MODE**

(57) Abstract:

**PURPOSE:** To equalize the circuit distortions regardless of variation of the transmission characteristics in an MODEM by equalizing the distortions within the MODEM with return of own station to store the equalization value as the initialization value and starting the automatic equalization and the control of an automatic phase control circuit for the circuit distortions based on said initialization value.

**CONSTITUTION:** Switches SW1 and SW2 are set at the dotted line sides for return at own station in order to equalize the distortions within an MODEM before the circuit distortions are equalized by the MODEM. In this case, the initialization value of the center value of



a dynamic range is given previously to up/down counters 19, 23 and 27 from RAM29~31. Then the equalization is carried out, and the values of counters 19, 23, 27 are stored in RAM29~31 as the result of equalization. Then switches SW1 and SW2 are changed to the solid line sides to secure the actuation of the MODEM. In this case, the values stored in RAM29~31 are given to counters 19, 23, 27 as the initial values. Then the circuit distortions are equalized from the value obtained by equalizing the distortions within the MODEM. Therefore, a large distortion does not suddenly produce when the working is started.

COPYRIGHT: (C)  
1985,JPO&Japio



⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-253331

⑬ Int. Cl.<sup>4</sup>  
H 04 B 3/04

識別記号 庁内整理番号  
C-6745-5K

⑭ 公開 昭和60年(1985)12月14日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 制御開始時の初期値設定方式

⑯ 特 願 昭59-109912

⑰ 出 願 昭59(1984)5月30日

⑱ 発 明 者	山 田 寛	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	青 木 耕 司	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 発 明 者	渡 辺 直 樹	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉒ 代 理 人	弁理士 松岡 宏四郎		

明 細 書

1. 発明の名称

制御開始時の初期値設定方式

2. 特許請求の範囲

図解を等化する自動等化器及び自動位相制御回路を持つモデムにおいて、前モデム内の遅延を自局折返してあらかじめ等化して、その等化した値を初期設定値として記憶素子に記憶させておき、図解に對しては該初期設定値から該自動等化器及び自動位相制御回路の制御を開始するようにしたことを特徴とする制御開始時の初期値設定方式。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は図解を等化する自動等化器及び自動位相制御回路を持つモデムに於り、動作開始時モデム内の遅延の影響をうけない制御開始時の初期値設定方式に関する。

(b) 技術的背景

アナログ伝送路を使用するデータ回路では、送受信のデータ信号をアナログに変換して伝送路へ

送出し、受信側ではその復調を行うためにモデムを用いる。又モデムは通常伝送路の図解を等化する自動等化器及び自動位相制御回路を持っている。

(c) 従来技術と問題点

図解を等化する自動等化器(以下AECと称す)及び自動位相制御回路(以下APCと称す)を持つ従来例のモデム及び問題点に付き説明する。

第1図は従来例のモデムのブロック図である。

第1図において送信側は、並列に送られてくるデータを符号化回路1にて多値符号に変換し、デジタル・アナログ変換器(以下D/Aと称す)2にてアナログに変換し、低域フィルタ(以下LPFと称す)3にてナイキスト整形を行ない、変調器(以下MODと称す)4にて変調し、帯域通過フィルタ(以下BPFと称す)5にて不要波を除去し伝送路に送出する。

受信側では伝送路より送られてきたアナログ信号の不要波をBPF6にて取除いた信号の中から搬送波を位相同期回路(以下PLL回路と称す)

13にて抽出し、搬送波自動位相制御回路(以下CAPCと称す)14の移相回路17にて最適位相とし、復調部(以下DEMと称す)7に加え、DEM7にて復調し、不誤検をLPF8にて取除き、アナログ・デジタル変換器(以下A/Dと称す)9にてデジタルに変換し、自動等化器(以下AEQと称す)10にて符号間干渉がないように波形状を形成しない識別回路11に入力する。

識別回路11では、入力した信号が多値信号の中心レベルより高いか低いかの極性信号及び目標とする等化波形状を基準信号と比較した等化誤差を基準値に対する大小を示すエラー信号を、AEQ10の相関回路に入力すると共に、多値信号のレベルを識別し、復号化回路12にて多値信号を直列信号として出力する。

この場合LPF8の出力よりPLL15にてタイミングクロックを抽出し、タイミングクロック自動位相制御回路(以下TAPCと称す)16内の移相回路21にて最適位相としたタイミングクロックをAEQ10、識別回路11、復号化回路12に

供給する。

AEQ10では、入力した信号をシフトレジスタ25に入力し各タップから得られた遅延信号をビット毎に時分割多重化した信号 $x_i$ は、演算器26にてアップダウンカウンタ27からの対応するタップ毎の係数 $y_i$ を乗算され乗算結果を全シフトレジスタ25のタップにわたり累算されて波形状化された信号を得る。

一方相関回路28では識別回路11から極性信号及びエラー信号が入力されており、タップ毎に両者の相関をとり、タップ毎の等化の補正方向(正負)をアップダウンカウンタ27に与えタップ毎に設定された重みだけ等化補正係数 $y_i$ を修正すると共に、パルス波の両側のサンプリング点のタイミングの位相のずれによる最適値からのレベルのずれ(正負)及び搬送波位相のずれによる最適値からのレベルのずれ(正負)をTAPC回路16の相関回路24、CAPC14の相関回路20に与える。

相関回路24、20では入力する2つのタイミング

位相のずれ、2つの搬送波位相のずれによる信号の相関をとり補正方向(正負)をアップダウンカウンタ28、19に与えアップダウンカウンタ23、19の出力を補正方向に変化させ $R/A \cdot 28$ 、18にて直列に変換し、タイミングクロック、搬送波を最適位相にするよう移相回路21、17の移相量を制御する。

アップダウンカウンタ19、23、27に初期値を与える方法につき、代例例としてアップダウンカウンタ19を例えば4ビットカウンタとし、第2図を用いて説明すると、4ビットの最大値“1.1.1.1”最小値“0.0.0.0”の中心値“1.0.0.0”を固定ロード値とし、ダイナミックレンジの中心になるよう初期値を設定し、相関回路20よりの補正方向に従ってアップ又はダウンカウントを行わせ、アップ又はダウンした値を $R/A \cdot 18$ にて直列信号に変換して搬送波を最適位相になるよう移相回路17の移相量を制御する。

しかし本装置にはアナログ回路が含まれているため温度変化により伝送特性(振幅、遅延時

性)が変化を受ける。

従って本装置を動作させずに例えば低温の所に置いておいた場合、低温による伝送特性の変化(歪)が大きいと、本装置の電源をオンとし動作を開始した時に、この変化量(歪)と伝送路上の歪が重畳され大きな歪が急に発生し、識別回路11にて、目標とする等化波形状を基準信号と比較し基準値に対する大小を求める場合、正負の方向の推定を間違えない範囲を誤差制御不能にすることがある。

即ち正負の方向を推定するの、多値レベルを基準レベルとし、この基準レベルより多値レベルの間隔の1/2以内大きい場合は正とし、小さい場合は負としているが、多値レベルの間隔の1/2以上レベルがかわると、1レベル高いか低いかの多値レベルを基準として比較する範囲に入り、正負の方向の推定が逆となり、制御不能となる。

通常は歪の変化速度は遅いので以上のようなことは起こらないが、電源投入し動作開始した時は、本装置の歪が大きいと、大きな歪が急に発生する

のでこのような問題が発生する。

#### (d) 発明の目的

本発明の目的は上記の問題に拘り、モデムの動作開始時、モデム内の伝送特性の変化に影響されずに、回線歪を等化出来る制御開始時の初期値設定方式の提供にある。

#### (e) 発明の構成

本発明の目的は、モデム内の歪を自局折返しであらかじめ等化して、その等化した値を初期設定値として記憶素子に記憶しておき、回線歪に対しては該初期設定値から自動等化及び自動位相制御回路の制御を開始するようにすることによって達成出来る。

即ちこのように制御開始時初期値を設定すれば、モデム内の伝送特性の変化は既に等化されており、回線歪と重畳されることはなくなるので大きな歪が急に発生することなく回線歪を等化出来る。

#### (f) 発明の実施例

以下本発明の実施例につき図に従って説明する。

化を行ない等化結果のアップダウンカウンタ19、23、27の値をRAM29〜31に記憶させておく。

次にスイッチSW1、SW2を戻線例としてモデムとしての動作を行なす。この時の初期値としてはRAM29〜31に記憶された値をアップダウンカウンタ19、23、27に与え、モデム内の歪を既に等化した値より回線歪を等化するようにし、動作開始時大きな歪が急に発生しないようにする。

この自局折返し及びモデムとしての動作する場合の初期値の与え方を、代表例としてアップダウンカウンタ19を例えば4ビットカウンタとして第4図を用いて説明すると、自局折返し時は、従来と同じくダイナミックレンジの中心値である"1、0、0、0"を初期値として、モデム内の歪を等化し、等化後の値が例えば1、1、0、0とあればこの値をRAM29に記憶させておき、回線歪等化開始時は、この値を初期値としてアップダウンカウンタ19にロードして制御を開始するようにする。

従って回線歪等化開始時大きな歪が急に発生することなく回線歪を等化出来る。

第3図は本発明の実施例のモデムのブロック図、第4図はアップダウンカウンタに制御開始時の初期値を設定する一例のブロック図である。

図中第1図と同一機能のものは同一記号で示してあり10'はAEQ、14'はCAPC、16'はTAPC、29〜31はRAM SW1、SW2はスイッチを示す。

第3図で第1図と異なる点は自局折返しを可能とするようスイッチSW1、SW2を設けた点と、自局折返しでモデム内の歪を等化する場合アップダウンカウンタ19、23、27に初期値を設定し、等化後のアップダウンカウンタ19、23、27の値を記憶するRAM29〜31を設けた点である。

第3図の場合は、モデムにて回線歪を等化する前に温度圧力等で発生したモデム内の歪を等化する為、スイッチSW1、SW2を点検例として自局折返しとする。

この場合アップダウンカウンタ19、23、27にはRAM29〜31より従来と同じくダイナミックレンジの中心値の初期設定値を与えておき、等

#### (g) 発明の効果

以下詳細に説明せる如く本発明によればモデムの動作開始時、モデム内の歪が回線歪に重畳されるに大きな歪を等化することがなくなるので、回線歪を等化出来なくなる危険性を減少させる効果がある。

#### 4. 図面の簡単な説明

第1図は従来例のモデムのブロック図、第2図は第1図のアップダウンカウンタに初期値を設定する一例のブロック図、第3図は本発明の実施例のモデムのブロック図、第4図は第3図のアップダウンカウンタに制御開始時初期値を設定する一例のブロック図である。

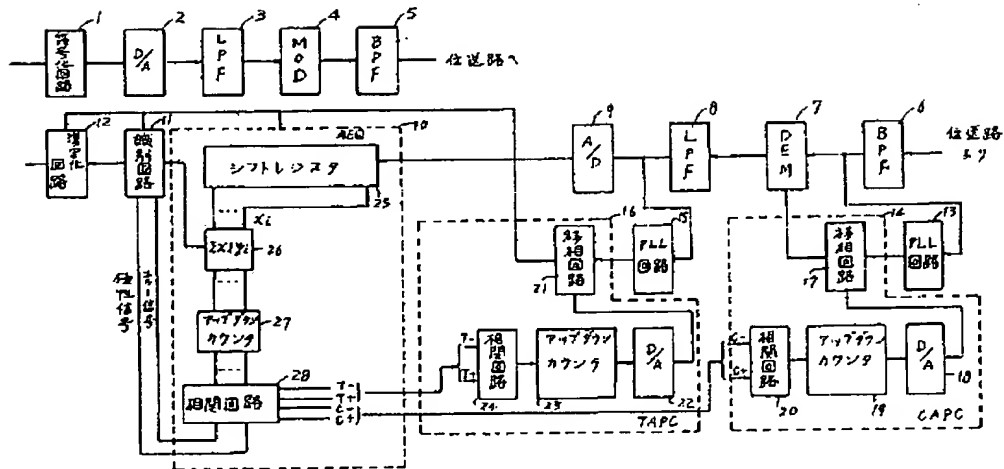
図中1は符号化回路、2、18、22はデジタル・アナログ変換器、3、8は低減回路、4は変調器、5、6は帯域通過回路、7は復調器、9はアナログ・デジタル変換器、10、10'は自動等化器、11は識別回路、12は復号化回路、13、15は位相同期回路、14、14'は搬送波自動位相同期回路、16、16'はタイミングクロック自動位相

制御回路、17, 21は各相回路、19, 23, 27  
はアップダウンカウンタ、20, 24, 28は相関  
回路、25はシフトレジスタ、26は演算器、29  
～31はRAMを示す。

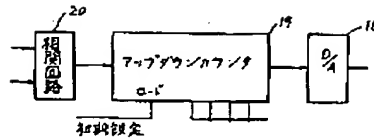
代理人 井理士 佐 岡 安四郎



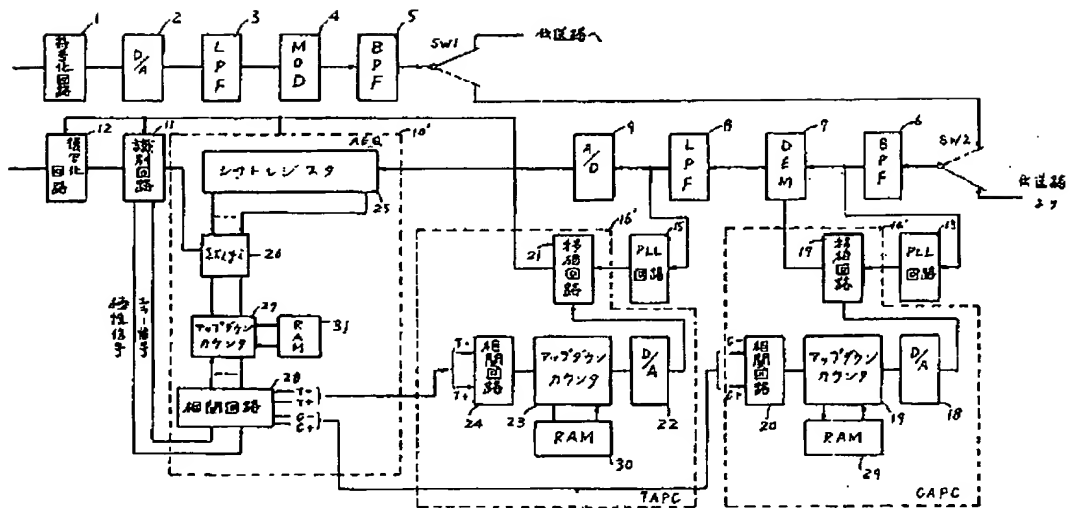
第 1 図



第 2 図



第 3 図



第 4 図

